



THOMSON DELPHION		RESEARCH	PRODUCTS	INSIDE DELPHION
Log Out	Work Files	Export Settings	Search for...	Advanced Derwent

The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)

Tools: Add to Work File: Create new Work File

View: [INPADOC](#) | Jump to: Top

Go to: [Derwent](#)

[Email](#)

Title: **JP5036280A2: SEMICONDUCTOR INTEGRATED DEVICE**

Derwent Title: Semiconductor IC device with reduced gate stage and transistor quantity - has two bipolar transistors, load circuit, and current switching circuit
NoAbstract [\[Derwent Record\]](#)

Country: **JP** Japan

Kind: **A**

Inventor: **KARASAWA JUNICHI**

Assignee: **SEIKO EPSON CORP**
[News, Profiles, Stocks and More about this company](#)

Published / Filed: **1993-02-12 / 1991-08-01**

Application Number: **JP1991000192953**

IPC Code: **G11C 11/413; H03K 19/08;**

Priority Number: **1991-08-01 JP1991000192953**

Abstract: **PURPOSE:** To realize a logical function and a level amplifier function with the same gate by forming a circuit specified by a P channel MOS transistor, a bipolar transistor and a load circuit connected serially and in parallel between a high voltage side VDD and a low voltage side VSS.

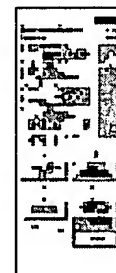
CONSTITUTION: Between a VDD and a node NO1, a current switching circuit SWP composed of the serial and parallel circuit of a P channel MOS transistor is provided. An NPN bipolar transistor Q1 in which a base and a corrector are connected to the node NO1 and an emitter is connected to the VSS is provided. An NPN bipolar transistor Q0 in which the corrector is connected to an output D0, the base is connected to the node NO1, the emitter is connected to the VSS and the Q1 and a current mirror are connected is provided. From a load circuit Z1 provided between the VDD and the output D0, a logical function and a level amplifier function are realized by the same gate.

COPYRIGHT: (C)1993,JPO&Japio

Family: None

Forward References: **Go to Result Set: Forward references (1)**

PDF	Patent	Pub.Date	Inventor	Assignee	Title
	US6404238	2002-06-11	Barnes; William Bryan	STMicroelectronics Limited	Ratio logic gate current mirror



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-36280

(43) 公開日 平成5年(1993)2月12日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/413				
H 0 3 K 19/08	A	6959-5 J		
		7323-5 L	G 1 1 C 11/34	3 0 2 A

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平3-192953

(22) 出願日 平成3年(1991)8月1日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 唐澤 純一

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

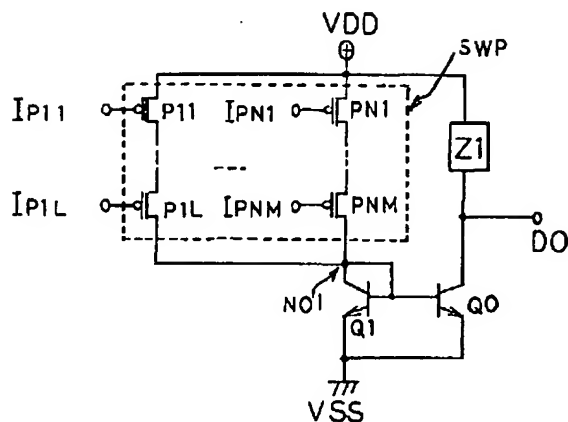
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体集積装置

(57) 【要約】

【構成】 VDDとノードNO1の間に設けられたPチャンネルMOSトランジスタの直並列回路からなる電流切り替え回路SWPと、ベースとコレクタがノードNO1に接続されエミッタがVSSに接続されたNPNバイポーラトランジスタQ1と、コレクタが出力DOにベースがノードNO1にエミッタがVSSに接続されQ1とカレントミラー接続されたNPNバイポーラトランジスタQ0と、VDDと出力DO間に設けられた負荷回路Z1とから構成される。論理機能とレベルアンプ機能を同一ゲートで実現する。

【効果】 ゲート段数及びトランジスタ数を低減でき、高速で低レイアウト面積(高集積)の半導体集積装置が得られるという効果がある。



1

【特許請求の範囲】

【請求項1】第一導電型のエミッタが第一の電源にベースが第一のノードにコレクタが出力端子に接続された第一のバイポーラトランジスタと、第二の電源と出力端子間に接続された負荷回路と、第一導電型のエミッタが第一の電源にベース及びコレクタが第一のノードに接続された第二のバイポーラトランジスタと、第一のノードと第二の電源間に設けられ前記第一のバイポーラトランジスタのコレクタに流れ込む電流値を切り替える電流切り替え回路とを具備したことを特徴とする半導体集積装置。

【請求項2】電流切り替え回路が第二導電型MOSトランジスタの直並列回路から成ることを特徴とする請求項1記載の半導体集積装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、特にバイポーラトランジスタとMOSトランジスタとを同一基板上に形成するBICMOSプロセスを用いて作られた論理機能を含むレベル増幅回路に関する。

【0002】

【従来の技術】ECL入出力インタフェースのRAMにおいて、内部疑似ECL信号からCMOS信号レベルへのレベルアンプに加えて、メモリセル選択の為のデコード機能、各種回路を制御する制御回路などが必要である。

【0003】従来、図6に示す様なレベルアンプ回路を用い、内部疑似ECL信号からCMOS信号レベルへのレベルアンプをした後CMOSゲートもしくはBICMOSゲートを用いてデコード回路や制御回路を構成した図5の様な回路が提案されている。図5に於てレベルアンプLAと論理部LGは、別ゲート段より構成されている。図6に於て入力信号は、カレントミラー構成されたNチャンネルMOSトランジスタN1、N2とPチャンネルMOSトランジスタ負荷P1、P2とから構成されるCMOSカレントミラー型増幅回路SA1と、PチャンネルMOSトランジスタP3とNチャンネルMOSトランジスタN3、N4、N5及びNPNバイポーラトランジスタQ2、Q3とから構成されるBICMOSインバータ型増幅回路SA2によりレベルアンプされる。また、図6の従来回路は、論理機能は持たず単純なレベルアンプ回路としてのみ機能する。従って、論理機能は、レベルアンプ前にECLゲートによって実現するか、レベルアンプ後CMOSゲートもしくはBICMOSゲートによって実現する必要がある。図5に示す従来例はレベルアンプ後CMOSゲートにより論理を組んだ場合である。

【0004】

【発明が解決しようとする課題】図5に示す従来例の様にレベルアンプ後CMOSゲートもしくはBICMOS

2

ゲートにより論理を組む場合には、遅延時間が増大するという欠点があった。また、レベルアンプ前にECLゲートによって論理を組む場合は、高速化は実現できるが、消費電流が非常に大きくなるという欠点があった。さらに図6に示す様な従来型レベルアンプを用いた場合に於いては、NチャンネルMOSトランジスタが5個、PチャンネルMOSトランジスタが3個、NPNバイポーラトランジスタが2個と計10個のトランジスタが必要となり、非常にレイアウト面積が増大するという欠点があった。本発明は上記の様な問題点を解決するもので、高速で且つ低レイアウト面積（高集積）の半導体集積装置を提供することを目的とする。

【0005】

【課題を解決するための手段】第一導電型のエミッタが第一の電源にベースが第一のノードにコレクタが出力端子に接続された第一のバイポーラトランジスタと、第二の電源と出力端子間に接続された負荷回路と、第一導電型のエミッタが第一の電源にベース及びコレクタが第一のノードに接続された第二のバイポーラトランジスタと、第一のノードと第二の電源間に設けられ前記第一のバイポーラトランジスタのコレクタに流れ込む電流値を切り替える電流切り替え回路とを具備したことを特徴とする。前記記載の半導体集積装置に於いて、前記電流切り替え回路が第二導電型MOSトランジスタの直並列回路から成ることを特徴とする。

【0006】

【実施例】以下本発明の実施例を図面を用いて説明する。

【0007】図1は本発明の一実施例に係わる図である。

【0008】図1実施例は、VDDとノードNO1の間に設けられたPチャンネルMOSトランジスタの直並列回路からなる電流切り替え回路SWPと、ベースとコレクタがノードNO1に接続されエミッタがVSSに接続されたNPNバイポーラトランジスタQ1と、コレクタが出力DOにベースがノードNO1にエミッタがVSSに接続されQ1とカレントミラー接続されたNPNバイポーラトランジスタQ0と、VDDと出力DO間に設けられた負荷回路Z1とから構成されている。

【0009】また、本実施例に於いてSWPは、各々のゲートに入力信号IP11～IP1Lが入力されているPチャンネルMOSトランジスタP11～P1Lから成る第一番目の直列回路から、入力信号IPN1～IPNMが各々のゲートに入力されたPチャンネルMOSトランジスタPN1～PNMから成る第N番目の直列回路までのN個の直列回路をVDDとNO1間に並列に設けた構成となっている。

【0010】動作を簡単に説明する。図1の電流切り替え回路SWPに於いて、第一番目の直列回路から第N番目の直列回路のどれか一つの直列回路が導通すると（つ

3

まり第一番目の直列回路の場合で説明すると、PチャンネルMOSトランジスタP11~P1Lのゲート入力信号IPN1~IPNMが全てロウとなると)Q1がオンする。Q1がオンするとカレントミラー接続されたQ0がオンする。Q0のオン抵抗をZ1に比べて十分小さく設定しておく、Q0がオンした時、出力DOはほぼVSS電位に引き下げられる。逆に、第一番目の直列回路から第N番目の直列回路の全てが非導通の場合Q1がオフする。Q1がオフするとカレントミラー接続されたQ0がオフする。従って出力DOはZ1を介してVDD電位まで立ち上げられる。負荷回路Z1としては、図2に示す様なノーマリーオンのPチャンネルMOSトランジスタや図3に示す様な抵抗などが考えられる。

【0011】ここで、入力信号のロウレベルとしてはVDD-VTHP(Pチャンネルトランジスタのスレッショルド電圧)-VBG(バックゲートバイアス)が必要であり、その値としては通常VDD-1.5V程度となる。

【0012】図2実施例では、VSSとノードNO2の間に設けられたNチャンネルMOSトランジスタの直並列回路からなる電流切り替え回路SWNと、ベースとコレクタがノードNO2に接続されエミッタがVDDに接続されたPNPバイポーラトランジスタQ3と、コレクタが出力DOにベースがノードNO2にエミッタがVDDに接続されQ3とカレントミラー接続されたPNPバイポーラトランジスタQ2と、VSSと出力DO間に設けられた負荷回路Z2とから構成されている。また、本実施例に於いてSWNは、各々のゲートに入力信号IN11~IN1Lが入力されているNチャンネルMOSトランジスタN11~N1Lから成る第一番目の直列回路から、入力信号INN1~INNМが各々のゲートに入力されたNチャンネルMOSトランジスタNN1~NNMから成る第N番目の直列回路までのN個の直列回路をVSSとNO2間に並列に設けた構成となっている。

【0013】動作を簡単に説明する。図4の電流切り替え回路SWNに於いて、第一番目の直列回路から第N番目の直列回路のどれか一つの直列回路が導通すると(つまり第一番目の直列回路の場合で説明すると、NチャンネルMOSトランジスタN11~N1Lのゲート入力信号INN1~INNМが全てハイとなると)Q3がオンする。Q3がオンするとカレントミラー接続されたQ2がオンする。Q2のオン抵抗をZ2に比べて十分小さく設定しておく、Q2がオンした時、出力DOはほぼVDD電位に引き上げられる。逆に、第一番目の直列回路から第N番目の直列回路の全てが非導通の場合Q3がオフする。Q3がオフするとカレントミラー接続されたQ2がオフする。従って出力DOはZ2を介してVSS電位まで立ち下げられる。

【0014】ここで、入力信号のハイレベルとしてはVSS+VTHN(Nチャンネルトランジスタのスレッシ

4

ョルド電圧)-VBG(バックゲートバイアス)が必要であり、その値としては通常VSS+1.5V程度となる。

【0015】以上本発明を実施例に基づき具体的に説明してきたが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0016】

【発明の効果】第一導電型のエミッタが第一の電源にベースが第一のノードにコレクタが出力端子に接続された第一のバイポーラトランジスタと、第二の電源と出力端子間に接続された負荷回路と、第一導電型のエミッタが第一の電源にベース及びコレクタが第一のノードに接続された第二のバイポーラトランジスタと、第一のノードと第二の電源間に設けられ前記第一のバイポーラトランジスタのコレクタに流れ込む電流値を切り替える電流切り替え回路とから構成することにより、論理機能とレベルアンプ機能を同一ゲートで実現し、ゲート段数及びトランジスタ数を低減でき、高速で低レイアウト面積(高集積)の半導体集積装置が得られるという効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示す図。

【図2】本発明の第一の実施例を示す図1中の負荷回路Z1の第一の実施例を示す図。

【図3】本発明の第一の実施例を示す図1中の負荷回路Z1の第二の実施例を示す図。

【図4】本発明の第二の実施例を示す図。

【図5】本発明に係わる第一の従来例を示す図。

【図6】本発明に係わる第一の従来例を示す図5中のレベルアンプ回路LAの一例を示す図。

【符号の説明】

VDD	・・・高電
圧側電源	
VSS	・・・低電
圧側電源	
IP11, IP1L, IPN1, IPNM	
IN11, IN1L, INN1, INNМ	・・・入力
信号	
P11, P1L, PN1, PNM	・・・電流
	切り替え回路を構成するPチャンネルMOSトランジスタ
N11, N1L, NN1, NNM	・・・電流
	切り替え回路を構成するNチャンネルMOSトランジスタ
SWP, SWN	・・・電流
	切り替え回路
NO1	・・・第一
のノード	
NO2	・・・第二の
ノード	

5

6

DO ……出力
 Z1, Z2 ……負荷
 回路
 Q0, Q1 ……カレントミラー構成NPNバイ
 ポーラトランジスタ
 Q2, Q3 ……カレントミラー構成PNPバイ
 ポーラトランジスタ
 PL ……ノーマリーオンPチャンネルM
 OSTランジスタ
 RL ……抵抗
 LA ……レベルアンプ回路
 LG ……CMOSもしくはBICMOS
 論理回路
 SA1 ……CMOSカレントミラー型増幅

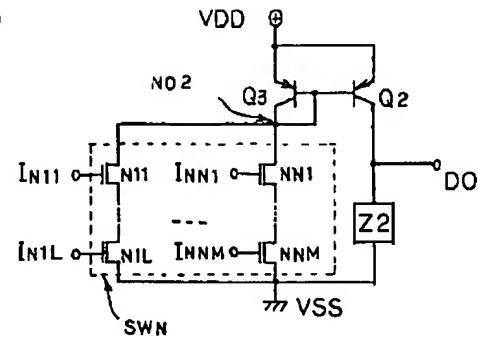
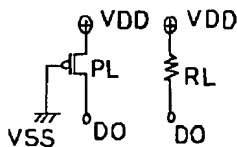
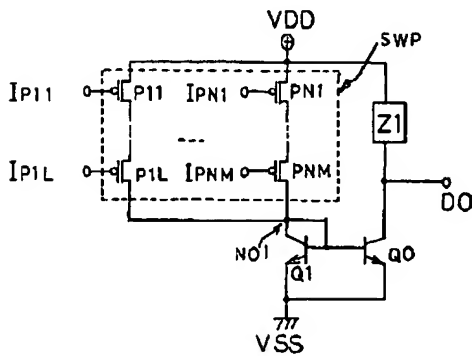
器
 SA2 ……BICMOSインバータ型増幅
 器
 INPUT ……レベルアンプ入力信号
 OUTPUT ……レベルアンプ出力信号
 VREF ……CMOSカレントミラー型増幅
 器の基準信号
 N1, N2, N3, N4, N5 ……NチャンネルM
 OSTランジスタ
 P1, P2, P3 ……PチャンネルM
 OSTランジスタ
 Q4, Q5 ……NPNバイポー
 ラトランジスタ

【図1】

【図2】

【図3】

【図4】



【図5】

【図6】

